

3-03085-TA

Differential amplifier having a protection circuit

Patent Number: ☐ US5905617
Publication date: 1999-05-18
Inventor(s): KAWASOE YUJIRO (JP)
Applicant(s): MITSUBISHI ELECTRIC ENG (JP); MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: ☐ JP11046120
Application Number: US19980017674 19980203
Priority Number(s): JP19970200058 19970725
IPC Classification: H02H3/18
EC Classification: H03F1/52
Equivalents: TW407367

Abstract

In a differential amplifier, when an output node of an output buffer circuit is short-circuited to a high potential supply node, the difference between the potential at an output node of an amplifying circuit and the potential at the output node of the buffer circuit becomes so great as not to be produced in normal operation. A short-circuit protection circuit detects such a state and interrupts or limits a base current supplied to an output transistor of an output pull signal generating circuit, suppressing the flow of excess current into the output node of the buffer circuit.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-46120

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁶H03F 1/52
3/45

識別記号

FI

H03F 1/52
3/45Z
Z

審査請求 未請求 請求項の数9 OL (全9頁)

(21) 出願番号 特願平9-200058

(22) 出願日 平成9年(1997) 7月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72) 発明者 川副 祐二郎

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

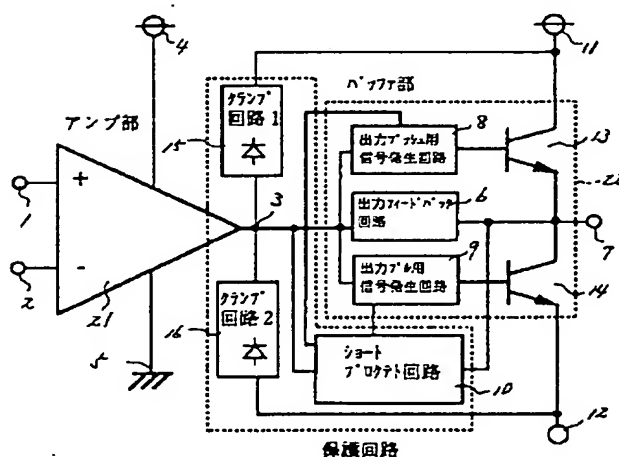
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 差動増幅回路

(57) 【要約】

【課題】 出力バッファ回路の出力ノードがショートした場合、出力バッファ回路の出力段に過剰の電流が流れることを抑制できる差動増幅回路を得る。

【解決手段】 出力バッファ回路22の出力ノード7が第1または第3の高電源電位ノード4、11とショートすると、アンプ部21の出力ノードに現れる電位と出力バッファ回路22の出力ノードに現れる電位との電位差は、通常動作状態では有り得ない状態、つまり、電位差が大きい状態になる。この状態を保護回路10が検出し、出力プル用信号発生回路9のシンク側出力トランジスタ14のベース電流供給源を遮断または制限する。その結果、出力バッファ回路22の出力ノード7に過剰電流が流れ込むのを抑制する。



【特許請求の範囲】

【請求項1】 非反転入力ノードと反転入力ノードに現れる差電圧を増幅して出力するアンプ部、
入力ノードに該アンプ部の出力を受け、この受けたアンプ部からの出力に基づいた信号を出力ノードに出力する出力バッファ回路、

出力バッファ回路の入力ノードと出力ノードとの間の電位を検出し、この検出した電位差が所定値以上であると、上記出力バッファ回路に流れる電流を遮断又は制限するための保護回路を備えた差動増幅回路。

【請求項2】 上記出力バッファ回路は、高電源電位ノードと上記出力ノードとの間に接続される第1の出力トランジスタと、上記出力ノードと低電源電位ノードとの間に接続される第2の出力トランジスタと、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第1の出力トランジスタの制御電極に与える出力ブッシュ用信号発生回路と、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第2の出力トランジスタの制御電極に与える出力プル用信号発生回路とを備え、

上記保護回路は検出した電位差が所定値以上であると、上記出力バッファ回路の出力ブッシュ用信号発生回路から第1の出力トランジスタの制御電極に流れる制御電流を遮断させる地絡時保護回路を備えていることを特徴とする請求項1記載の差動増幅回路。

【請求項3】 上記出力バッファ回路は、高電源電位ノードと上記出力ノードとの間に接続される第1の出力トランジスタと、上記出力ノードと低電源電位ノードとの間に接続される第2の出力トランジスタと、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第1の出力トランジスタの制御電極に与える出力ブッシュ用信号発生回路と、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第2の出力トランジスタの制御電極に与える出力プル用信号発生回路とを備え、

上記保護回路は検出した電位差が所定値以上であると、上記出力バッファ回路の出力プル用信号発生回路から第2の出力トランジスタの制御電極に流れる制御電流を遮断させる天絡時保護回路を備えていることを特徴とする請求項1記載の差動増幅回路。

【請求項4】 上記出力バッファ回路は、高電源電位ノードと上記出力ノードとの間に接続される第1の出力トランジスタと、上記出力ノードと低電源電位ノードとの間に接続される第2の出力トランジスタと、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第1の出力トランジスタの制御電極に与える出力ブッシュ用信号発生回路と、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第2の出力トランジスタの制御電極に与える出力プル用信号発生回路とを備え、

上記保護回路は検出した電位差が所定値以上であると、上記出力バッファ回路の出力ブッシュ用信号発生回路から第1の出力トランジスタの制御電極に流れる制御電流を遮断させる地絡時保護回路と、検出した電位差が所定値以上であると、上記出力バッファ回路の出力プル用信号発生回路から第2の出力トランジスタの制御電極に流れる制御電流を遮断させる天絡時保護回路とを備えていることを特徴とする請求項1記載の差動増幅回路。

【請求項5】 上記アンプ部は第1の高電源電位ノードと第1の低電源電位ノードに接続され、第1の高電源電位ノードと第1の低電源電位ノードとの間に印可される電源電位によって駆動され、

上記出力バッファ回路は上記第1の高電源電位ノードとは異なる第2の高電源電位ノードと上記出力ノードとの間に接続される第1の出力トランジスタと、上記出力ノードと上記第1の高電源電位ノードとは異なる第2の低電源電位ノードとの間に接続される第2の出力トランジスタと、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第1の出力トランジスタの制御電極に与える出力ブッシュ用信号発生回路と、上記入力ノードに現れる上記アンプ部からの出力に基づいた制御電流を上記第2の出力トランジスタの制御電極に与える出力プル用信号発生回路とを備えていることを特徴とする請求項1記載の差動増幅回路。

【請求項6】 第1の高電源電位ノードに印加される第1の電源電位と、第2の高電源電位ノードに印加される第3の電源電位とは異なる電位であることを特徴とする請求項5記載の差動増幅回路。

【請求項7】 第1の低電源電位ノードに印加される第2の電源電位と、第2の低電源電位ノードに印加される第4の電源電位とは異なる電位であることを特徴とする請求項5記載の差動増幅回路。

【請求項8】 上記出力バッファ回路の入力ノードと上記第2の高電源電位ノードとの間に第1のクランプ回路が接続されたことを特徴とする請求項5ないし請求項7のいずれかに記載の差動増幅回路。

【請求項9】 上記出力バッファ回路の入力ノードと上記第2の低電源電位ノードとの間に第2のクランプ回路が接続されたことを特徴とする請求項5ないし請求項8のいずれかに記載の差動増幅回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、非反転入力ノードと反転入力ノードに現れる差電圧を増幅して出力するアンプ部と、このアンプ部の出力に基づいた信号を出力する出力バッファ回路を備えた差動増幅回路に係り、特に、出力バッファ回路の出力ノードが高電源電位ノード、低電源電位ノード、あるいは他の回路の出力ノード等の低インピーダンス部と短絡（ショート）した場合に上記出力バッファ回路を保護する保護回路を備えた差動

増幅回路に関する。

【0002】

【従来の技術】この種、アンプ部および出力バッファ回路を備えた差動増幅回路において、負荷が接続される出力バッファ回路の出力ノードが高電源電位ノード、低電源電位ノード、あるいは他の回路の出力ノード等の低インピーダンス部とショートした場合、出力バッファ回路の出力段に過剰の電流が流れる恐れがあった。このような恐れを取り除く一例として、図5に示すような保護回路が組み込まれる差動増幅回路が考えられる。

【0003】図5において21は電源電圧を受けて駆動され、非反転入力と反転入力に現れる差電圧を増幅して出力するアンプ部、22は上記アンプ部に印加される電源電圧と同じ電源電圧にて駆動され、アンプ部の出力に基づいた信号を出力する出力バッファ回路、23は出力バッファ回路の出力段に流れる電流を電圧に変換するセンス抵抗、24はこのセンス抵抗の両端に発生する電圧値と基準電圧値とを比較し、センス抵抗23の両端間電圧値が基準電圧値以上になると出力バッファ回路の出力段を構成するトランジスタのベース電流供給源を遮断または制限するコンパレータである。

【0004】

【発明が解決しようとする課題】このように構成された保護回路では、出力バッファ回路22を構成する出力段のトランジスタに流れる電流をセンス抵抗23によって電圧値に変換し、この電圧値が所定値以上であるか否かをコンパレータによって検出し、所定値以上である場合、出力バッファ回路22を構成する出力段のトランジスタに流れる電流を遮断または制限する。

【0005】すなわち、仮に出力バッファ回路22の出力ノードと高電源電位ノードとがショートした場合、電流は電源電位ノードから出力バッファ回路22の出力ノードを介して出力バッファ回路22を構成する出力段のトランジスタおよびセンス抵抗23を通して低電源電位ノード(GND)に流れる。このとき、センス抵抗23の両端に発生する電圧は、センス抵抗23に流れる電流×センス抵抗値(=センス電圧値)で決定される。

【0006】このセンス電圧がある値(基準電圧値)以上であれば、コンパレータ24が出力バッファ回路22の出力段を構成するトランジスタのベース電流供給源(出力プル用信号発生回路)を遮断または、制限することで、出力バッファ回路22の出力に過電流が流れ込まなくなる。しかし、出力バッファ回路22の出力段を構成するトランジスタに流れ込む電流が減少すると、センス抵抗23に流れる電流も減少し、センス抵抗23の両端に発生する電圧が低下する。すると、コンパレータ24が出力バッファ回路22の出力段を構成するトランジスタのベース電流供給源(出力プル用信号発生回路)を遮断または、制限することを解くため、再び出力バッファ回路22の出力段を構成するトランジスタに電流が流

れ込む。これはショート状態が続く限り繰り返される。

【0007】また、センス抵抗23を出力バッファ回路22の出力段を構成するトランジスタと直列に挿入しているため、出力バッファ回路22の出力ノードに現れる出力ダイナミックレンジは、センス抵抗23の両端間に現れるセンス電圧分狭くなる。

【0008】この発明は、上記した点に鑑みてものであり、アンプ部および出力バッファ回路を備えた差動増幅回路において、負荷が接続される出力バッファ回路の出力ノードが高電源電位ノード、低電源電位ノード、あるいは他の回路の出力ノード等の低インピーダンス部とショートした場合、出力バッファ回路の出力段に過剰の電流が流れることを抑制できる差動増幅回路を得ることを目的とする。第2の目的は、上記ショートした場合に出力バッファ回路の出力段に過剰の電流が流れることを抑制できる保護回路を設けても、出力バッファ回路における出力ダイナミックレンジを狭くしない差動増幅回路を得る。第3の目的は、アンプ部および出力バッファ回路を駆動するための電源電圧が異なったものであっても、上記ショートした場合、出力バッファ回路の出力段に過剰の電流が流れることを抑制できる差動増幅回路を得る。

【0009】

【課題を解決するための手段】本発明に係る差動増幅回路は、非反転入力ノードと反転入力ノードに現れる差電圧を増幅して出力するアンプ部と、入力ノードに該アンプ部の出力を受け、この受けたアンプ部からの出力に基づいた信号を出力ノードに出力する出力バッファ回路と、出力バッファ回路の入力ノードと出力ノードとの間の電位を検出し、この検出した電位差が所定値以上であると、出力バッファ回路に流れる電流を遮断又は制限するための保護回路とを設けたものである。

【0010】

【発明の実施の形態】

実施の形態1. 図1ないし図4はこの発明の実施の形態1を示す。図1は帰還抵抗を除いた差動増幅回路を示し、図2はアンプ部21を示し、図3は帰還抵抗と差動増幅回路との関係を示し、図4は保護回路(ショートプロテクト回路)10を示す。図1において1はアンプ部(差動増幅回路部)21の非反転入力ノード、2はアンプ部21の反転入力ノード、3はアンプ部21の出力ノード、4はアンプ部21を駆動するための第1の高電源電位ノードで、第1の電源電位が印加される。この第1の電源電位はこの実施の形態1では、この差動増幅回路が内蔵される半導体集積回路装置に与えられる、2つの異なる正の電源電位の高い電源電位、例えば12Vの電源電位である。5はアンプ部を駆動するための第1の低電源電位ノードで、第1の電源電位より低い第2の電源電位が印加される。この第2の電源電位はこの実施の形態1では接地電位(GND)である。

【0011】6はアンプ部21の出力電位を出力バッ

ア回路22の出力に伝える出力フィードバック回路で、第1の高電源電位ノード4および第1の低電源電位ノード5に印加される電源電位にて駆動され、出力バッファ回路22の出力ノード7に現れた電位に基づく電位を出力バッファ回路22の入力ノードに帰還して、出力ノード7に現れる電位を安定にさせる。出力バッファ回路22の出力ノード7には負荷が接続される。8は出力段を構成する第1のトランジスタ13（詳細は後述）の制御電流を供給する出力プッシュ用信号発生回路で、第1の高電源電位ノード4および第1の低電源電位ノード2に印加される電源電位にて駆動され、出力バッファ回路22の入力ノードに現れた電位に応じた制御電流を第1のトランジスタ13に出力する。

【0012】9は出力段を構成する第2のトランジスタ14（詳細は後述）の制御電流を供給する出力プル用信号発生回路で、第1の高電源電位ノード4および第1の低電源電位ノード5に印加される電源電位にて駆動され、出力バッファ回路22の入力ノードに現れた電位に応じ、出力プッシュ用信号発生回路8からの出力信号と反転した関係にある制御電流を第2のトランジスタ14に出力する。

【0013】10は出力バッファ回路22の入力ノードに現れた電位と出力バッファ回路22の出力ノード7に現れた電位の電位差を検出し、この検出した電位差が所定値以上であるか否か、つまり、出力バッファ回路22の出力ノード7がショート状態であるかどうかを判定し、所定値以上、つまり、ショート状態であれば、出力バッファ回路22の出力段に流れる電流を遮断又は制限するための保護回路（ショートプロテクト回路）で、出力プッシュ用信号発生回路8、または、出力プル用信号発生回路9のトランジスタ13または14に対するベース電流供給源を遮断または制限する。

【0014】11は出力バッファ回路22の出力段を構成するトランジスタ13、14を駆動するための第2の高電源電位ノードで、上記第1高電源電位ノード1とは別個に設けられ、第3の電源電位が印加される。第3の電源電位 V_m はこの実施の形態1では2つの異なる正の電源電位の高い電源電位、例えば12Vの電源電位または低い電源電位、例えば5Vである。12は出力バッファ回路22の出力段を構成するトランジスタ13、14を駆動するための第2の低電源電位ノードで、第3の電源電位より低い第4の電源電位が印加される。第4の電源電位はこの実施の形態1では2つの異なる正の電源電位の低い電源電位、例えば5Vの電源電位または接地電位である。

【0015】13は出力バッファ回路22の出力段を構成するトランジスタ（ソース側出力トランジスタ）で、ベース電極（制御電極）が出力プッシュ用信号発生回路8からの制御電流を受け、コレクタ電極（一方の主電極）が第2の高電源電位ノード11に接続され、エミッ

タ電極（他方の主電極）が出力ノード7に接続されるnpn型バイポーラトランジスタにて構成される。14は出力バッファ回路22の出力段を構成するトランジスタ（シンク側出力トランジスタ）で、ベース電極（制御電極）が出力プル用信号発生回路9からの制御電流を受け、コレクタ電極（一方の主電極）が出力ノード7に接続され、エミッタ電極（他方の主電極）が第2の低電源電位ノード12に接続されるnpn型バイポーラトランジスタにて構成される。

【0016】15は出力バッファ回路22の入力ノードと第2の高電源電位ノード11との間に接続され、第1の高電源電位ノード4に印加される第1の電源電位と第2の高電源電位ノード11に印加される第3の電源電位が異なる場合に、アンプ部21からの出力の最大値を制限する第1のクランプ回路で、保護回路の一部を構成し、この実施の形態1では、アノード電極が出力バッファ回路22の入力ノードに接続され、カソード電極が第2の高電源電位ノード11に接続されるダイオード素子（ダイオード接続されたトランジスタを含む）にて構成され、出力バッファ回路22の入力ノードに現れる最大電位を第2の高電源電位ノード11に印加される第3の電源電位にダイオード素子の順方向電圧を足した値にクランプする。

【0017】16は出力バッファ回路22の入力ノードと第2の低電源電位ノード12との間に接続され、第1の低電源電位ノード5に印加される第2の電源電位と第2の低電源電位ノード12に印加される第4の電源電位が異なる場合に、アンプ部21からの出力の最小値を制限する第2のクランプ回路で、保護回路の一部を構成し、この実施の形態1では、アノード電極が第2の低電源電位ノード12に接続され、カソード電極が出力バッファ回路22の入力ノードに接続されるダイオード素子（ダイオード接続されたトランジスタを含む）にて構成され、出力バッファ回路22の入力ノードに現れる最小電位を第2の低電源電位ノード12に印加される第4の電源電位にダイオード素子の順方向電圧を足した値にクランプする。

【0018】上記アンプ部21の具体的構成は、例えば図2に示される構成をしている。図2において101は第1の高電源電位ノード1から第1の電源電位を受け、第1の共通ノード102に定電流を供給する第1の定電流源、103はエミッタ電極が第1の共通ノード102に接続され、ベース電極が反転入力ノード1に接続されるpnp型バイポーラトランジスタ、104はエミッタ電極が第1の共通ノード102に接続され、ベース電極が非反転入力ノード2に接続され、コレクタ電極が第1の出力ノード107に接続されるpnp型バイポーラトランジスタで、上記トランジスタ103とで差動対トランジスタを構成する。

【0019】105はベース電極がコレクタ電極に接続

されてトランジスタ103のコレクタ電極に接続され、エミッタ電極が第1の低電源電位ノード2に接続されるnpn型バイポーラトランジスタ、106はベース電極がトランジスタ105のベース電極に接続され、コレクタ電極がトランジスタ104のコレクタ電極に接続され、エミッタ電極が第1の低電源電位ノード2に接続されるnpn型バイポーラトランジスタで、トランジスタ105とでカレントミラー回路を構成する。108は第1の高電源電位ノード1から第1の電源電位を受け、第2の出力ノード109に定電流を供給する第1の定電流源、110はベース電極が第1の出力ノード107に接続され、コレクタ電極が第2の出力ノード109に接続され、エミッタ電極が第1の低電源電位ノード5に接続されるnpn型バイポーラトランジスタである。

【0020】上記保護回路10の具体的構成は、例えば図4に示される構成をしている。図4において201は出力バッファ回路22の入力ノードに一端が接続される抵抗性素子からなる負荷素子、202はコレクタ電極とベース電極とが共通接続されて負荷素子201の他端に接続されるダイオード接続されたnpn型バイポーラトランジスタからなるダイオード素子、203はコレクタ電極とベース電極とが共通接続されてダイオード素子を構成するトランジスタのエミッタ電極に接続され、エミッタ電極が出力バッファ回路22の出力ノード7に接続されるnpn型バイポーラトランジスタ、204はベース電極がトランジスタ203のベース電極に接続され、エミッタ電極がトランジスタ203のエミッタ電極に接続され、コレクタ電極が出力ブッシュ用信号発生回路8に接続されて、出力バッファ回路22の出力ノード7が第2の低電源電位ノード12にショートした時、出力ブッシュ用信号発生回路8からトランジスタ13の制御電極に流す制御電流を引き抜くためのnpn型バイポーラトランジスタで、トランジスタ203とカレントミラー回路を構成している。

【0021】なお、負荷素子201、トランジスタ202ないし204にて、出力バッファ回路22の入力ノードと出力ノード7との間の検出した電位差が所定値（この実施の形態1ではnpn型バイポーラトランジスタのベース/エミッタ間電圧の2倍）以上であると、出力バッファ回路22の出力ブッシュ用信号発生回路8から第1の出力トランジスタ13の制御電極に流れる制御電流を遮断させる地絡時保護回路200を構成する。

【0022】301は出力バッファ回路22の出力ノード7に一端が接続される抵抗性素子からなる負荷素子、302はコレクタ電極とベース電極とが共通接続されて負荷素子301の他端に接続されるダイオード接続されたnpn型バイポーラトランジスタからなるダイオード素子、303はコレクタ電極とベース電極とが共通接続されてダイオード素子を構成するトランジスタのエミッタ電極に接続され、エミッタ電極が出力バッファ回路22

の出力ノード7に接続されるnpn型バイポーラトランジスタ、304はベース電極がトランジスタ303のベース電極に接続され、エミッタ電極がトランジスタ303のエミッタ電極に接続され、コレクタ電極が出力ブッシュ用信号発生回路9に接続されて、出力バッファ回路22の出力ノード7が第2の高電源電位ノード11にショートした時、出力ブッシュ用信号発生回路9からトランジスタ14の制御電極に流す制御電流を引き抜くためのnpn型バイポーラトランジスタで、トランジスタ303とカレントミラー回路を構成している。

【0023】なお、負荷素子301、トランジスタ302ないし304にて、出力バッファ回路22の入力ノードと出力ノード7との間の検出した電位差が所定値（この実施の形態1ではnpn型バイポーラトランジスタのベース/エミッタ間電圧の2倍）以上であると、出力バッファ回路22の出力ブッシュ用信号発生回路9から第2の出力トランジスタ14の制御電極に流れる制御電流を遮断させる天絡時保護回路300を構成する。

【0024】一方、図3において、17aは第1の入力端子18とアンプ部21の非反転入力ノード1との間に接続される第1の抵抗性素子、17bは第2の入力端子19とアンプ部21の反転入力ノード2との間に接続される第2の抵抗性素子で、この実施の形態1では、その抵抗値Rは第1の抵抗性素子17aの抵抗値Rと同じである。なお、この実施の形態1では、第1の入力端子18に第1の入力信号である基準電圧が印加され、第2の入力端子に第2の入力信号である制御信号が入力される。

【0025】17cはアンプ部21の非反転入力ノード1と出力基準電位ノード20との間に接続される第3の抵抗性素子で、この実施の形態1では、その抵抗値rと第1の抵抗性素子17aの抵抗値Rとの比（ r/R ）が3～6に設定されている。17dはアンプ部21の反転入力ノード2と出力バッファ回路22の出力ノード7との間に接続される第4の抵抗性素子で、この実施の形態1では、その抵抗値rは第3の抵抗性素子17dの抵抗値rと同じである。なお、この実施の形態1では、出力基準電位ノード20に印加される基準電位は、出力バッファ回路22の出力ノード7に現れる出力の midpoint を決定する midpoint 電圧である。

【0026】次に、このように構成された差動増幅回路の動作について、主として出力バッファ回路22の出力ノード7が短絡された場合について、場合分けして説明する。

（第1の例）出力バッファ回路22の出力ノード7に現れる出力 V_{out} は、帰還動作するため、次式（1）に基づいて決定される。

$$(V_{ref}[in] - V_{in}) \times (r/R) + V_{ref}[out] \quad (1)$$

但し、Vref[in]は第1の入力端子18に印加される第1の入力信号である基準電圧、Vinは第2の入力端子19に印加される第2の入力信号である制御信号における信号入力電圧、Vref[out]は出力基準電位ノード20に印加される基準電圧である中点電圧である。

【0027】この時、この実施の形態1では、アンプ部21の出力ノード3に現れる電圧、言い換えれば、出力バッファ回路22の入力ノードに現れる電圧は、出力バッファ回路22の出力ノード7に現れる電圧と実質的に同じになる。(正確には出力バッファ回路22の回路構成によりアンプ部21の出力には、出力バッファ回路2

$$V_{in[-]} = (V_{out} - V_{in}) \times R / (r + R) + V_{in} \quad (2)$$

この時の反転入力端子2に現れる電位 $V_{in[-]}$ は非反転入力端子1に現れる電位 $V_{in[+]}$ よりも高い電位になってしまう。なお、通常動作時(出力バッファ回路22の出力ノード7がショートしていない時)反転入力端子2に現れる電位 $V_{in[-]}$ と非反転入力端子1に現れる電位 $V_{in[+]}$ は同じ電位になされている。

【0029】そのため、アンプ部21はコンパレータ動作をし、アンプ部21の出力ノード3に現れる電位はアンプ部21のダイナミックレンジの範囲で最小の値となる。この時、出力ブッシュ用信号発生回路8はトランジスタ13のベースにLレベルの電位を与え、トランジスタ13を非導通状態にする。一方、出力プル用信号発生回路9はトランジスタ13のベースにHレベルの電位を与え、言い換えれば制御電流を与え、トランジスタ14を導通状態にするように働く。

【0030】しかるに、アンプ部21の出力ノード3に現れる電位と出力バッファ回路22の出力ノード7に現れる電位との電位差は、通常動作状態では有り得ない状態、つまり、電位差が大きい状態になる。この状態を保護回路10が検出し、出力プル用信号発生回路9のシンク側出力トランジスタ14のベース電流供給源を遮断または制限する。具体的には、図4に示すように、出力バッファ回路22の出力ノード7に現れる電位が出力バッファ回路22の入力ノードに現れる電位より高くなる、つまり、npn型バイポーラトランジスタのベース-エミッタ間電圧の2倍の値以上になるため、出力バッファ回路22の出力ノード7から、抵抗素子301、ダイオード素子302、およびトランジスタ303を介して出力バッファ回路22の入力ノードに電流が流れる。

【0031】トランジスタ303に電流が流れることにより、トランジスタ303とカレントミラー回路を構成しているトランジスタ304に電流が流れるため、出力プル用信号発生回路9からトランジスタ14のベース電極へ流す制御電流がトランジスタ304に流れ込む。従って、トランジスタ14には電流が流れ込まないため、トランジスタ14は非導通状態になる。そうすることによって、出力バッファ回路22の出力ノード7への流入電流を遮断または制限することが出来る。このショート

2の出力と一定の関係をもった電位が発生する。)

【0028】もし、出力バッファ回路22の出力ノード7が帰還動作時の出力電位より高い電圧が印加されているノード、例えば、第1または第3の高電源電位ノード4、11とショートすると、出力バッファ回路22の出力ノード7に現れる電位はショートしたノードに現れている電位と同じになる。従って、ショートしたノードから出力バッファ回路22の出力ノード7へ過電流が流れ込む。この時の反転入力端子2に現れる電位 $V_{in[-]}$ は次式(2)で表される電位になる。

状態が続く限り、出力バッファ回路22の出力ノード7に現れる電位と出力バッファ回路22の入力ノードに現れる電位との関係は同じ状況であり、出力バッファ回路22の出力ノード7への流入電流は遮断または制限した状態を保つことになる。

【0032】(第2の例)もし、出力バッファ回路22の出力ノード7が帰還動作時の出力電位より低い電圧が印加されているノード、例えば、第2または第4の電源電位ノード5、12または接地電位ノードとショートすると、出力バッファ回路22の出力ノード7に現れる電位はショートしたノードに現れた電位と同じ電位になる。従って、出力バッファ回路22の出力ノード7からショートしたノードへ電流が流れ出す。この時の反転入力端子2の電位 $V_{in[-]}$ は上式(2)で表される電位になる。この時の反転入力端子2に現れる電位 $V_{in[-]}$ は非反転入力端子1に現れる電位 $V_{in[+]}$ よりも低い電位になってしまう。なお、通常動作時(出力バッファ回路22の出力ノード7がショートしていない時)反転入力端子2に現れる電位 $V_{in[-]}$ と非反転入力端子1に現れる電位 $V_{in[+]}$ は同じ電位になされている。

【0033】そのため、アンプ部21はコンパレータ動作をし、アンプ部21の出力ノード3に現れる電位はアンプ部21のダイナミックレンジの範囲で最大の値となる。この時、出力ブッシュ用信号発生回路8はトランジスタ13のベースにHレベルの電位を与え、言い換えれば制御電流を与え、トランジスタ13を導通状態にするように働く。一方、出力プル用信号発生回路9はトランジスタ13のベースにLレベルの電位を与え、トランジスタ14を非導通状態にする。

【0034】しかるに、アンプ部21の出力ノード3に現れる電位と出力バッファ回路22の出力ノード7に現れる電位との電位差は通常動作状態では有り得ない状態、つまり、電位差が大きい状態になる。この状態を保護回路が検出し、出力ブッシュ用信号発生回路8のソース側出力トランジスタ13のベース電流供給源を遮断または制限する。具体的には、図4に示すように、出力バッファ回路22の入力ノードに現れる電位が出力バッファ回路22の出力ノード7に現れる電位より高くなる、

つまり、npn型バイポーラトランジスタのベース-エミッタ間電圧の2倍の値以上になるため、出力バッファ回路22の入力ノードから、抵抗素子201、ダイオード素子202、およびトランジスタ203を介して出力バッファ回路22の出力ノード7に電流が流れる。

【0035】トランジスタ203に電流が流れることにより、トランジスタ203とカレントミラー回路を構成しているトランジスタ204に電流が流れるため、出力ブッシュ用信号発生回路8からトランジスタ13のベース電極へ流す制御電流がトランジスタ204に流れ込む。従って、トランジスタ13には電流が流れ込まないため、トランジスタ13は非導通状態になる。そうすることによって、出力バッファ回路22の出力ノード7からの流出電流を遮断または制限することが出来る。このショート状態が続く限り、出力バッファ回路22の出力ノード7に現れる電位と出力バッファ回路22の入力ノードに現れる電位との関係は同じ状況であり、出力バッファ回路22の出力ノード7からの流出電流は遮断または制限した状態に保つことになる。

【0036】(第3の例) 上記第1の例は出力バッファ回路22の出力ノード7が第1または第2の高電源電位ノード4、11とショートした場合、上記第2の例が第1または第2の低電源電位ノード5、12とショートした場合について説明したが、これらに限られるのではなく、他の回路の出力ノード等の低インピーダンスのノードとショートした場合についても、出力バッファ回路22の入力ノードと出力ノード7との間に通常動作時の電位差を越えた電位が現れ、上記した第1の例もしくは上記した第2の例と同様の動作をし、出力バッファ回路22の出力ノード7への過剰電流の流入または過剰電流の流出を遮断または制限する。

【0037】(第4の例) 出力バッファ回路22の出力ノード7に、何等かの原因で、出力バッファ回路22の出力電流能力を超える電流が流入または流出し、出力バッファ回路22の出力ノード7に現れる電位が差動増幅回路本来の帰還動作で決定される電位に対して出力バッファ回路22を構成する出力段のトランジスタ13、14のベース電流とコレクタ電流の特性のみで決定される場合についても、出力バッファ回路22の入力ノードと出力ノード7との間に通常動作時の電位差を越えた電位が現れるため、上記した第1の例もしくは上記した第2の例と同様の動作をし、出力バッファ回路22の出力ノード7への過剰電流の流入または過剰電流の流出を遮断または制限する。

【0038】次に、上記のように構成された差動増幅回路における第1及び第2のクランプ回路15、16の働きについて説明する。上記のように構成された差動増幅回路においては、アンプ部21を駆動するための第1の高電源および低電源電位ノード4、5と、出力バッファ回路22を構成する出力段のトランジスタ13、14を

駆動するための第2の高電源および低電源電位ノード11、12とを別個のノードとしている。その結果、これらノードには別個の電源電位を与えることが可能である。例えば、この差動増幅回路が組み込まれる半導体集積回路装置としては、2つの異なる正の電源電位、例えば12Vと5Vが用いられるため、次の4通りが行われる可能性がある。

【0039】第1に、第1及び第2の高電源電位ノード4、11ともに12Vを印加し、第1及び第2の低電源電位ノード5、12をともに接地電位とする。第2に、第1の高電源電位ノード4に12Vを印加し、第1の低電源電位ノードを接地電位にし、第2の高電源電位ノード11に12Vを印加し、第2の低電源電位ノード12に5Vを印加する。第3に、第1の高電源電位ノード4に12Vを印加し、第1の低電源電位ノードを接地電位にし、第2の高電源電位ノード11に5Vを印加し、第2の低電源電位ノード12を接地電位とする。第4に、第1及び第2の高電源電位ノード4、11ともに5Vを印加し、第1及び第2の低電源電位ノード5、12をともに接地電位とする。

【0040】上記した第1及び第4の場合は、アンプ部21の出力ダイナミックレンジと出力バッファ回路22の出力段における出力ダイナミックレンジはほぼ同じであるので、第1及び第2のクランプ回路15、16は設けてなくとも、同じ動作をし、第1及び第2のクランプ回路15、16は実質的に機能しない。一方、上記した第2及び第4の場合は、アンプ部21の出力ダイナミックレンジは出力バッファ回路22の出力段における出力ダイナミックレンジより広くなる。従って、第1および第2のクランプ回路15、16が機能し、保護回路10を正常に動作させる。

【0041】例えば、第2の場合を例にとって説明する。アンプ部21の出力ノード3に現れる電位をアンプ部21のダイナミックレンジの範囲で最小になる様な入力条件にした場合、出力バッファ回路22の出力ノード7に現れる電位も出力バッファ回路22のダイナミックレンジの範囲で最小の電位となる。この場合、第2のクランプ回路15がない場合は、アンプ部21の出力ノード3に現れる電位と出力バッファ回路22の出力ノード7に現れる電位との電位差は、約5V(=5V-0V)となる。そうすると、保護回路10は、出力バッファ回路22の出力ノード7がショート状態にあると判断してしまう。

【0042】しかし、この実施の形態1に示すものにあつては、アンプ部21の出力ノード3と第2の低電源電位ノード12との間に第2のクランプ回路16を接続しているため、アンプ部21の出力ノード3に現れる電位は、第2の低電源電位ノード12に印加される第4の電源電位(この場合5V)に基づいた電位、この実施の形態1では第2のクランプ回路16を構成するトランジスタ

タのベース/エミッタ間電圧分高い電圧にクランプされる。従って、通常動作時にあっては、出力バッファ回路22の入力ノードと出力バッファ回路22の出力ノード7との電位差は、この実施の形態1においては、第2のクランプ回路16を構成するトランジスタのベース/エミッタ間電圧未満に抑えられる。その結果、保護回路10は通常動作時には機能しない。

【0043】また、例えば、第3の場合を例にとって説明する。アンプ部21の出力ノード3に現れる電位をアンプ部21のダイナミックレンジの範囲で最大になる様な入力条件にした場合、出力バッファ回路22の出力ノード7に現れる電位も出力バッファ回路22のダイナミックレンジの範囲で最大の電位となる。この場合、第1のクランプ回路15がない場合は、アンプ部21の出力ノード3に現れる電位と出力バッファ回路22の出力ノード7に現れる電位との電位差は、約7V(=12V-5V)となる。そうすると、保護回路10は、出力バッファ回路22の出力ノード7がショート状態にあると判断してしまう。

【0044】しかし、この実施の形態1に示すものにあつては、アンプ部21と第2の高電源電位ノード11との間に第1のクランプ回路15を接続しているため、アンプ部21の出力ノード3に現れる電位は、第2の高電源電位ノード11に印加される第3の電源電位(この場合5V)に基づいた電位、この実施の形態1では第1のクランプ回路15を構成するトランジスタのベース/エミッタ間電圧分高い電圧にクランプされる。従って、通常動作時にあっては、出力バッファ回路22の入力ノードと出力バッファ回路22の出力ノード7との電位差は、この実施の形態1においては、第1のクランプ回路15を構成するトランジスタのベース/エミッタ間電圧未満に抑えられる。その結果、保護回路10は通常動作時には機能しない。

【0045】従って、上記のように構成された差動増幅回路にあっては、次のような効果を奏する。第1に、出力バッファ回路22の出力ノード7がショートした場

合、出力バッファ回路22の出力ノード7への過剰電流の流入もしくは過剰電流の流出を抑制できる。第2に、この過剰電流の流入もしくは過剰電流の流出を抑制は、出力バッファ回路22の出力段における出力ダイナミックレンジを狭くすることなく行える。

【0046】第3に、アンプ部21を駆動するための第1の高電源および低電源電位ノード4、5と、出力バッファ回路22を構成する出力段のトランジスタ13、14を駆動するための第2の高電源および低電源電位ノード11、12に別個の電源電位を与えることができる。第4に、第1の高電源電位ノード4と第2の高電源電位ノード11に別個の電源電位を与えた場合、もしくは第1の低電源電位ノード5と第2の低電源電位ノード12に別個の電源電位を与えた場合であっても、保護回路10を正常に機能させることができる。

【図面の簡単な説明】

【図1】 この発明の実施形態1を示す回路図。

【図2】 この発明の実施形態1におけるアンプ部21を示す回路図。

【図3】 この発明の実施形態1を示す回路図。

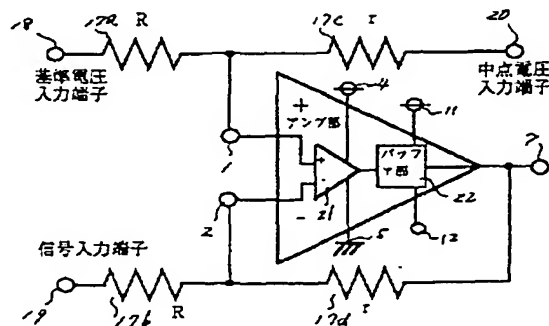
【図4】 この発明の実施形態1における保護回路10を示す回路図。

【図5】 一つの提案例である差動増幅回路を示す図

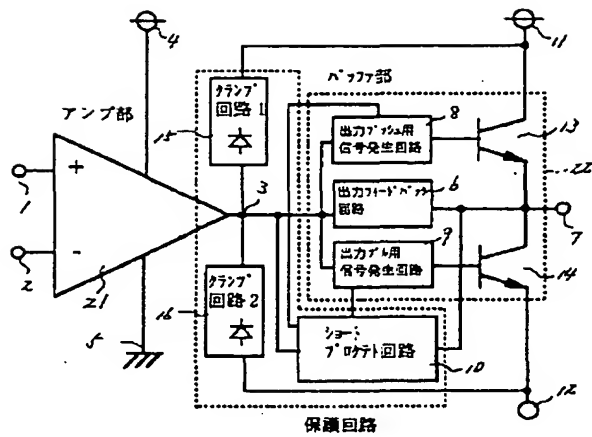
【符号の説明】

1 非反転入力ノード、2 反転入力ノード、3 出力ノード、4 第1の高電源電位ノード、5 第1の低電源電位ノード、6 出力フィードバック回路、7 出力ノード、8 出力プッシュ用信号発生回路、9 出力プル用信号発生回路、10 保護回路、11 第2の電源電位ノード、12 第2の低電源電位ノード、13 ソース側出力トランジスタ、14 シンク側出力トランジスタ、15 第1のクランプ回路、16 第2のクランプ回路、17a~17d 帰還抵抗、18 第1の入力ノード、19 第2の入力ノード、21 アンプ部、22 出力バッファ回路。

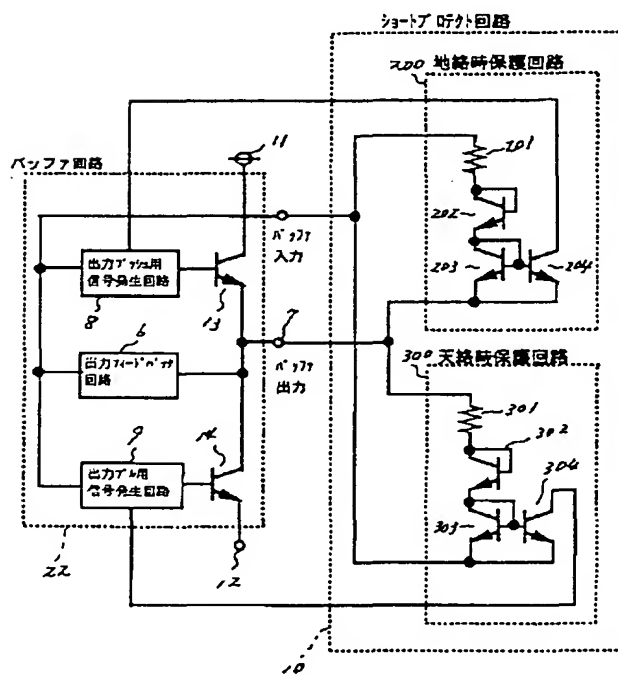
【図3】



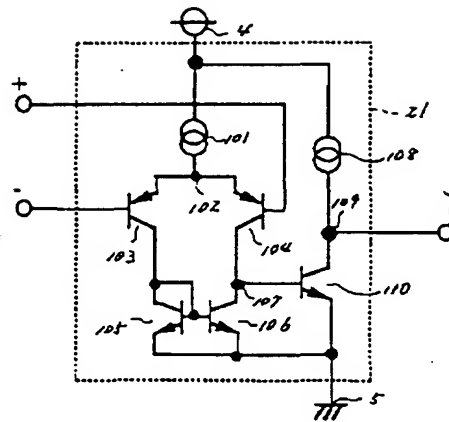
【図1】



【図4】



【図2】



【図5】

